



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2004007247 A

(43) Date of publication of application: 08.01.04

(51) Int. Cl

H04N 9/78

(21) Application number: 2002160295

(71) Applicant: VICTOR CO OF JAPAN LTD

(22) Date of filing: 31.05.02

(72) Inventor: OGAWA HIDEAKI

(54) YC SEPARATION CIRCUIT

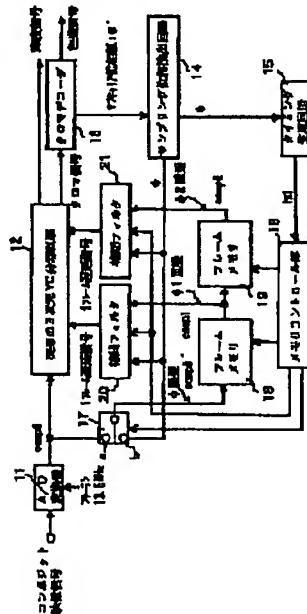
generated by a free run.

(57) Abstract

COPYRIGHT: (C)2004,JPO

PROBLEM TO BE SOLVED: To solve the following problem that accurate YC separation cannot be performed, when a clock which is not phase-synchronized with the burst signal of an input composite video signal is used.

SOLUTION: A movement-adaptive three-dimensional YC separation circuit performs YC separation adaptively according to the movement of an image. The circuit performs control of one-frame delay and two-frame delay, dividing it into delay control by the unit of one clock and the delay control (phase correction) less than one clock, and performs (1) delay control by the unit of one clock by frame memory control using an hd signal generated on the basis of the subcarrier phase of an input signal; and (2) phase compensation less than one clock by interpolation filters 20, 21 based on the results of sampling phase detection of the input signal, a one-frame delay signal, and a two-frame delay signal. Consequently, a one-frame delay signal and a two-frame delay signal phase-synchronized with the input composite video signal can be generated, even if the clock is



[特許請求の範囲]

卷之三

【説明の詳細な説明】
〔0001〕【発明の属する技術分野】
本発明はY C 分離回路に係る輝度信号と搬送色信号とのY C 分離回路に関するものである。
【背景技術】

図8は従来のY/C分離回路の一例の回路系統略図を示す。NTSC方式のコンボジット映像信号は、周波数F_scのサブcarrierを用いて複数の情報信号(以下、クロマ信号といふ)とクロマ位相情報を複合化した信号が得られる。この複合化された信号は、それを別々の信号処理される。

【0003】 NTSCにおいて、A/D変換器は、A／Dコンバータ31に供給され、ここで入力コンボジット映像信号のカーラーST信号に位相同期し、3.1に供給され、ここで入力コンボジット映像信号のカラーアクティブ周波数)のクロックでサンプリングされてコンバータ32に供給され、ここでA/D変換される。このように各回路32が、各々のデータを順次読み取る。

〔0004〕

卷之三

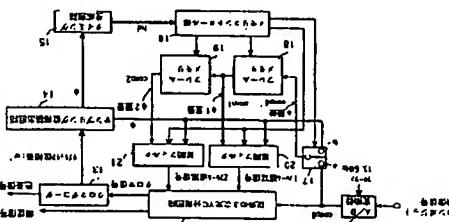
卷之二

(51) int.Cl. HOAN HOAN	F HOAN HOAN	9/78 A	チマコード(多) 5C066
(43) 公開日 平成16年1月8日(2004.1.8)	特開2004-7247 (P2004-7247)		

(21) 出願番号	特願2002-160295 (P2002-160295)	(71) 出願人	0000043229
(22) 出願日	平成14年5月31日 (2002.5.31)	日本ピクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12 番地	
(74) 代理人	1000052325	(72) 甲斐哲 尾川 聰明 弁護士 松浦 駿行	神奈川県横浜市神奈川区守屋町3丁目12 番地 日本ピクター株式会社内
F ターム (ヶ月)	SC06 A03 BA02 CA11 CA17 DA08 DC02 EF11 GA02 GA04 GA05 GA15 GA20 GA28 EA01 HA05 JA07 XA13 KB05 KC01 KC11 KD03 KD06		

四庫全書

[要約] [限界期] 入力コンボジット映像信号のベースト信号に位相同期していないクロックを用いた場合は、正確なYC分離を行えない。



16-01016] において、アナログ信号であるNTSC方式コンポジット映像信号は、A/D変換器により11MHzに供給され、ここでフリーランで発生している1.3...5MHzのサンプリング用クロックに基づいてデジタル信号であるコンポジット映像データC0...CD0に変換された後、スインチ回路17の端子1に投入される一方、從来の3次元Y/C分解回路12を通して

卷之三

ここで、従来の 3 次元 YC 分離回路 1-2 は、図 8 に示した従来の YC 分離回路のうち、A-D 变換器 3-1、フレームメモリ 3-4 及び 3-5 を削除した回路構成であり、1 フレーム選択信号及び 2 フレーム選択信号は、それぞれ図 1 の後述する補間フィルタ 20、21 から供給される。

日本では、これまでの研究で、主に、
1) 植物の根の構造と機能、
2) 土壌中の根の分布と活性、
3) 根の成長と土壌環境との関係、
4) 根の成長促進剤や抑制剤の開発等が
なされてきた。

図2はクロマテコーダ13の一実施の形態のプロック図を示す。図2に示すように、クロマテコーダ13は、入力コンボジット映像信号のカラーバースト信号に位相同期したサブドット信号を用いて、2種類の色差信号にデコードされると共に、サブキャリア位相を出力している。

リニアロマセラムの信号 $\sin \phi$ 、 $\cos \phi$ を RUM-A ノード 1.3 がうち出力しない。ハノビコで算定後信号 (B-Y) を生成する。

[0020] ここで、上記のカラーバースト信号に位相同期したサブキャリヤ周波数の信号 s_{in} が、 s_{in} は、まずサブキャリヤ位相を計算により求め、その位相値からROMデータ(アルゴリズム139)により正弦値、余弦値を参照することで得られる。すなわち、図1-2にお示すようにエラー基準信号(R-Y)は、エラー基準検出回路(F1-3)から取り出され、ここでバーストストリーム間のエラー基準信号が後出される。これは、色差信号(Y-R)がゼロからどれだけ増加しても、この信号振幅がゼロであるので、この信号が検出される。なお、バーストストリーム以外は映像信号をデコードしているかによりエラー基準が検出される。なお、バーストストリーム以外ではエラー基準を0とし

る。
[0 0 1]
トランジスタ一基で構成された検出器は、加算器 1-3-6 において 1 クロノンと加算器 1-3-7 で 1 クロノンと加算される。更に加算器 1-3-8 から出力された後述の信号を用いて、ROM テーブル 1-3-9 が供給される。ROM テーブル 1-3-9 から出力された後述の信号を用いて、ROM テーブル 1-3-9 が供給される。

なお、加算器 1-3-6 では 1 クロック毎にエラー信号が加算され、加算器 1-3-7 では 1 クロック毎に 0.0 が加算されたため、加算器 1-3-6 及び 1-3-7 と 1 クロック連続で 1-3-8 により形成されるループで、これらの信号の累積が行われる。

周波数 f_h には
 $f_s c = (45$
 の関係があるの
 間) で ϕ は 2
 . (上位 8 ピン
 い場合は 22

100231 そこで、上記の
8ビットが付加
することで1日毎に求
められて検出され

卷之三

図3にサンプリング値である。

アサヒリ

おいて、 $\phi : A \rightarrow A$
 $\Delta t = (\phi, t)$
 となる。(6)

(7) 式の△₁₁を定義する。サンプリング出力として算出して出力する。

る。
[0029]
位相検出は1H
基づき、位相
端子a側に接続
号により端子b
、1T以上で面

【0030】この信号量はシフト信号の出力が取り出され、ム選延信号が供給されて更に相手2が出力を

(5) f_H と f_L の間には、 f_H が水平走査期、クロックと入力信号が同期している場合には、 $f_H = f_L$ である。したがって、 $f_H = f_L$ のとき、 f_H がデジタル値 111000110000000000 のとき、 f_L がクロック値 111000110000000000000000 のとき、 f_H が f_L よりも 1 パルス遅くなる。

クロック選択回路 1-3 から出力されたサブキャリア位相により、上位レジスタの出力が供給され、このサブプリント位相に供給される。

時刻とサブキャラクタ位相 $\phi' = 227$ 、5付近の位相値の様子を示す。 t_h はサンプリング位相 $\phi = 227, 5$ であり、 $\phi' < A, \phi' > B$ を満たすサンプリング周期の閾値で、 $A < \phi, t_h \leq \phi$ を満たすサンプリング周期の上位にドライバが切り替わる。

図3に示すように、前記の「個々」は、 \wedge と \vee の間に位置する。

所要時間 Δt が得られる。
 サンプリング時刻から $t - \Delta t$ を横切るまでの時間 $\Delta t'$ を求める。左の両辺をサンプリング周期 T で除算すると次式が得られる。

$$\frac{t - \Delta t}{T} = \frac{\lfloor (t - \Delta t) / T \rfloor + 1}{A} \quad (6)$$

$$\frac{t - \Delta t}{T} = \frac{\lfloor (t - \Delta t) / T \rfloor + 1}{B - \phi'} \quad (7)$$

HTは0く△／ノト△／であり、これにこの信号のサンプリング位相をとる。サンプリング位相検出回路14は、このサンプリング位相を(7)式に基づく。

つき 1 回行われ、メモリコントロール部 16 より出力される制御信号はコンボジット信号 c_mp₀ に重畳する。スイッチ回路 17 は通常は開いており、位相情報を重畳時にメモリコントローラ部 16 からの制御信号を介して切換される。スイッチ回路 17 が端子 6 に接続されている時間はごく短い範囲である。

象に影響のない有効画面外で行われる。スイング回路 1-7 からはコンボ 1-2 及びサンプリング位相換出回路 1-4 で換出されたサンプリング位相をフレーム 1-8 に供給され、ここで 1 フレーム遅延されて 1 フレーム 1 及びサンプリング位相を 1 が取出された後、フレームメモリ 1-9 にフレーム 2 及びサンプリング位相を 2 が取出され、2 フレーム遅延されて 2 フレームメモリ 2-10 に供給される。

[0031] 極間フィルタ20は、フレームメモリ18から1フレーム選択信号comp1及びサンプリング位相φ1が入力され、また、極間フィルタ21は、フレームメモリ19から2フレーム選択信号comp2及びサンプリング位相φ2が入力され、それぞれメモリコントロール部16より出力される制御信号に基づき、重疊された位相情報をサンプリング位相φ1、φ2を抽出する。極間フィルタ20、21は、更にサンプリング位相φ1、φ2を基にフィルタの伝達関数を制御する。

[0032] 極間フィルタ20の場合、comp0のサブキャリア位相をφ' A、φ' B、comp1のサブキャリア位相をφ A1、φ B1とする。comp1のサンプリング位相をcomp0のサンプリング位相に合わせるには、φ A1とφ' B1よりφ Aまたはφ Bを求める。極間フィルタ20により求めらるボイントの補正位相φ1は、サンプリング時刻対サブキャリア位相がφ1であるときは図4(a)に、まだφ1<φのときは図4(b)に示される、これらより次式に基いて算出される。

[0033]

$$\phi_{c_1} \cdot T = \begin{cases} \phi_1 \cdot T - \phi \cdot T & (\phi_1 \geq \phi \text{ の時}) \\ T - (\phi \cdot T - \phi_1 \cdot T) & (\phi_1 < \phi \text{ の時}) \end{cases} \quad (8)$$

[数1]

$$\phi_{c_2} = \begin{cases} \phi_1 - \phi & (\phi_1 \geq \phi \text{ の時}) \\ \phi_1 - \phi + 1 & (\phi_1 < \phi \text{ の時}) \end{cases} \quad (9)$$

[数2]

より

$$\phi_{c_2} = \begin{cases} \phi_2 - \phi & (\phi_2 \geq \phi \text{ の時}) \\ \phi_2 - \phi + 1 & (\phi_2 < \phi \text{ の時}) \end{cases} \quad (10)$$

[数3]

となる。同様に、極間フィルタ21での補正位相φ2は次式で表される。

$$[\phi_1 \cdot T]$$

[数4]

$$\phi_{c_1} \cdot T = \begin{cases} \phi_1 \cdot T - \phi \cdot T & (\phi_1 \geq \phi \text{ の時}) \\ T - (\phi \cdot T - \phi_1 \cdot T) & (\phi_1 < \phi \text{ の時}) \end{cases} \quad (11)$$

[数5]

[0035] サンプリング位相φは無限個数の値を取り得るが、ディジタル信号処理を行う場合には、これを有限個数の値に制限する必要がある。ここでは一例として、1クロック位相1/8の精度で位相抽出する場合について説明する。この場合、補正位相は1/8、0.25、0.375、0.5、0.625、0.75、0.875の7通りとなる。

[0036]

次に、極間フィルタ20、21について説明する。極間フィルタ20、21によって位相補正を行なうには、検出された補正位相に応じて補間フィルタ20、21の伝達関数を調査すればよい。極間フィルタ20、21の一例として、フィルタ20、21の補正位相がサンプリングの中間点(0.5)のときは、6タップのフィルタ(伝達関数G(z))の(1.1)式及び(1.5)式で表される伝達関数H4(z)を選択し、さらにその中間点(0.25、0.375)の時に4タップのフィルタ、さらにもその中間点(0.125、0.375、0.625、0.875)の時に直線補間を用いた場合のフィルタの伝達関数H1(z)、H2(z)、H3(z)、H4(z)を(1.2)式～(1.8)式に示す。

$$\begin{aligned} [0037] G(z) &= 3.9 / 6.4 (z^{-2} + z^{-3}) - 9 / 6.4 (z^{-1} + z^{-4}) + 2 / 6.4 (1 + z^{-5}) \\ &\quad (1.1) \\ 0.125 \cdot H_1(z) &= 1 / 2 (H_2(z) + z^{-4}) \\ (1.2) \\ 0.25 \cdot H_2(z) &= 9 / 1.6 (G(z) z^{-1} + z^{-4}) - 1 / 1.6 (z^{-2} + G(z) z^{-3}) \\ (1.3) \\ 0.375 \cdot H_3(z) &= 1 / 2 (H_2(z) + H_4(z)) \\ (1.4) \\ 0.5 \cdot H_4(z) &= G(z) z^{-1} \\ (1.5) \\ 0.625 \cdot H_5(z) &= 1 / 2 (H_4(z) + H_6(z)) \\ (1.6) \\ 0.75 \cdot H_6(z) &= 9 / 1.6 (z^{-3} + G(z) z^{-1}) - 1 / 1.6 (G(z) z^{-4}) \\ (1.7) \\ 0.875 \cdot H_7(z) &= 1 / 2 (z^{-3} + H_6(z)) \\ (1.8) \end{aligned}$$

[0038] 上記の伝達関数H1(z)、H2(z)、H3(z)、H4(z)のときの周波数特性は、図5に示される。このような伝達関数に制御される補間フィルタ20、21から1クロック未満の位相補正された1フレーム選択コントローラが、2フレーム選択映像信号が送出される。

[0039]

次に、前記(1)のhd信号を用いたフレームメモリ制御による1クロック単位の選択制御について説明する。上記のhd信号は、図1のサンプリング位相相続回路14から出力されたサンプリング位相φ1により生成された1フレーム選択映像信号、2フレーム選択信号に基づいて、メモリコントロール部16がフレームメモリ18、19の読み出し／書き込み動作を制御する。

[0040]

ここで、2.1により得るには、タイミング信号hdは前記(2)のサンプリング位相相続出力の基礎と同じ基準から発生されなければならない。そこで、図4においてサブキャリア位相がφ' Bとなるタイミング(あるいはそれを適宜選択させたタイミング)で1Hにつき1回ハイレベルとなるタイミング生成回路18、19がフレームメモリhdをタイミング生成回路15が生成する。

[0041]

ここで、1クロック単位で正確な1フレーム選択信号、2フレーム選択信号を補間フィルタ20、21により得るには、タイミング信号hdは前記(2)のサンプリング位相相続出力の基礎と同じ基準から発生されなければならない。そこで、図4においてサブキャリア位相がφ' Bとなるタイミング(あるいはそれを適宜選択させたタイミング)で1Hにつき1回ハイレベルとなるタイミング生成回路18、19がフレームメモリhdをタイミング生成回路15が生成する。

[0042]

ここで、1クロック位相でハイレベルでフレームメモリ18へのライン出力の書き込みを開始した信号(cmd0)を、hd(m+525)のタイミングでcmd1として群み出すことにより実現している。同時に、2フレーム選択信号を得るには、このフレームメモリ18からhd(m+525)のタイミングで読み出された信号cmd1を、さらに図1の第2のフレームメモリ19に書き込み、その後hd(m+1050)のタイミングでフレームメモリ19からcmd2として群み出すことにより実現している。

[0043]

また、メモリの使用効率向上のために、信号のブランкиング部でフレームメモリ18、19の群み書きを止めると、図7に示すようにhdから間に選択時間(nT)のタイミングでフレームメモリ18、19からの群み書き込み出される。

[0044]

JP 2004-7247 A 2004.1.8

[0045]

次に、補間フィルタ20、21について説明する。補間フィルタ20、21によつて位相補正を行なうには、検出された補正位相に応じて補間フィルタ20、21の伝達関数を調査すればよい。補間フィルタ20、21の一例として、フィルタ20、21の補正位相がサンプリングの中間点(0.5)のときは、6タップのフィルタ(伝達関数G(z))の(1.1)式及び(1.5)式で表される伝達関数H4(z)を選択し、さらにその中間点(0.25、0.375)の時に4タップのフィルタ、さらにもその中間点(0.125、0.375、0.625、0.875)の時に直線補間を用いた場合のフィルタの伝達関数H1(z)、H2(z)、H3(z)、H4(z)を(1.2)式～(1.8)式に示す。

なお、本発明は以上の実施の形態に限定されものではなく、例えば、サンプリング用クロック周波数は13.5MHzではなく、2倍の27MHzやその他のサンプリング用クロック周波数においても本発明は適用可能である。また、位相検出の精度も1/8ではなく、さらに1/16、1/32など高精度により、回路規模は大きくなるが、さらに性能の良い3次元Y/C分離が可能である。

【発明の効果】

以上説明したように、本発明によれば、入力コンポジット映像信号をサンプリングするクロックが、入力コンポジット映像信号のカラーバースト信号に位相同期していないフレームで発生されたクロックであっても、入力コンポジット映像信号に位相同期した1フレーム選択信号及び2フレーム選択信号を生成するようにして、リーランクロックを用いた場合にも十分な性能の3次元Y/C分離を行うことができる。

【0044】

また、本発明によれば、1フレーム選択信号、2フレーム選択信号のサンプリング位相を現在の信号のサンプリング位相に合わせるように、1フレーム選択信号、2フレーム選択信号を補間する構成としており、その際映像の動画部では現在の信号のみを用いる2次元Y/C分離回路（図8の2次元Y/C分離回路32に相当する回路）の出力信号が3次元Y/C分離回路の出力信号となり、補間信号を用いない。従って、カラーバースト信号に位相同期した周波数4fscのクロックによりA/D変換されたコンポジット信号を1.3.5MHzで再サンプリング（補間回路が必要）したコンポジット信号を入力とする構成とした3次元Y/C分離回路と比較した場合に、本発明では映像の動画部における補間処理が行わないので、特に動画部においてより正確なY/C分離ができる。

【図面の説明】

【図1】本発明のY/C分離回路の一実施の形態のプロック図である。

【図2】図1中のクロマデコードの一実施の形態のプロック図である。

【図3】図1におけるサンプリング時刻対サブキャラ位相（comp0, comp1）

を示す図である。

【図4】本発明のY/C分離回路の一実施の形態のプロック図である。

【図5】各伝達関数における周波数特性図である。

【図6】図1のフレームメモリ書き込み読み出しタイミング図（1）である。

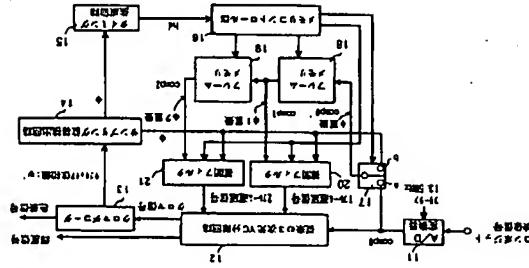
【図7】図1におけるサンプリング時刻対サブキャラ位相（comp0, comp1）

を示す図である。

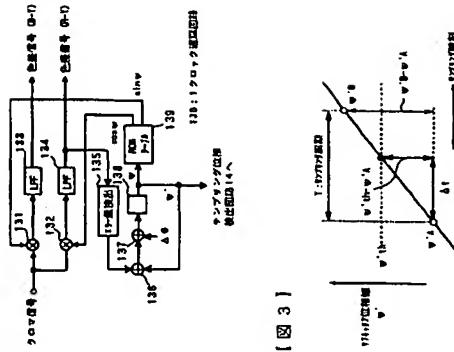
【符号の説明】

- 1.1 A/D変換器
- 1.2 従来の3次元Y/C分離回路
- 1.3 クロマデコーダ
- 1.4 サンプリング位相後出回路
- 1.5 タイミング生成回路
- 1.6 メモリコントロール部
- 1.7 スイッチ回路
- 1.8、1.9 フレームメモリ
- 2.0、2.1 補間フィルタ
- 1.3.1、1.3.2 東真器
- 1.3.3、1.3.4 低域フィルタ（LPF）
- 1.3.5 エラー検出回路
- 1.3.6、1.3.7 加算器
- 1.3.8 1クロック選択回路
- 1.3.9 ROMテーブル

【図1】



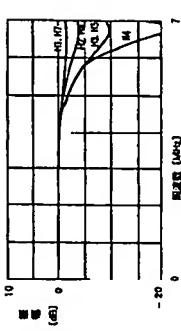
【図2】



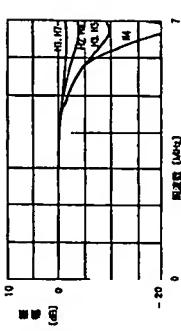
【図3】



【図4】



【図5】

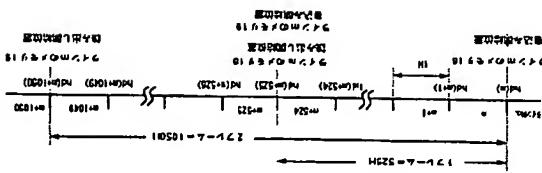


(11)



171

161



[8]

